



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 10 月 24 日
Application Date

申請案號：092129523
Application No.

申請人：財團法人工業技術研究院、松下電工股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2004 年 6 月
Issue Date

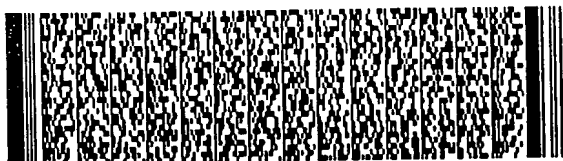
發文字號：09320572080
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	晶片封裝結構及其製程
	英文	Chip package structure and process for fabricating the same
二、 發明人 (共6人)	姓名 (中文)	1. 陳凱琪
	姓名 (英文)	1. CHEN, KAI CHI
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 南投縣草屯鎮南埔里中正路269號
	住居所 (英文)	1. NO. 269, JHONGJHENG RD., CAOTUN TOWNSHIP, NANTOU COUNTY 542, TAIWAN (R. O. C.)
三、 申請人 (共2人)	名稱或 姓名 (中文)	1. 財團法人工業技術研究院 2. 松下電工股份有限公司
	名稱或 姓名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE 2. MATSUSHITA ELECTRIC WORKS, LTD
	國籍 (中英文)	1. 中華民國 TW 2. 日本 JP
	住居所 (營業所) (中文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同) 2. 日本大阪府門真市大字門真1048番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 195, SECTION 4, CHUNG HSING ROAD, CHUTUNG, HSINCHU, TAIWAN, R. O. C. 2. 1048, OAZA-KADOMA, KADOMA-SHI, OSAKA, JAPAN
	代表人 (中文)	1. 翁政義 2. 西田 一成
	代表人 (英文)	1. WENG, CHENG I 2. NISHIDA, KAZUSHIGE

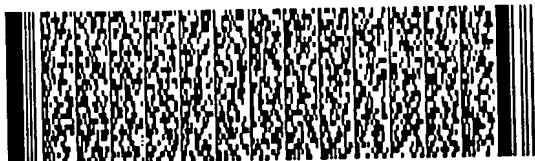


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共6人)	姓名 (中文)	2. 黃淑禎 3. 李巡天
	姓名 (英文)	2. HUANG, SHU CHEN 3. LI, HSUN TIEN
	國籍 (中英文)	2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	2. 基隆市信義區義幸里中興路66號6樓之1 3. 新竹市東區新莊街177號5樓
	住居所 (英文)	2. 6F.-1, NO. 66, JHONGSING RD., SINYI DISTRICT, KEELUNG CITY 201, TAIWAN (R.O.C.) 3. 5F., NO. 177, SINJHUANG ST., HSINCHU CITY 300, TAIWAN (R.O.C.)
三、 申請人 (共2人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

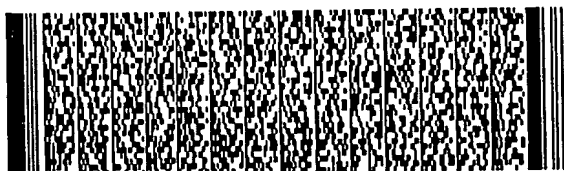


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共6人)	姓 名 (中文)	4. 李宗銘 5. 福井 太郎 6. 根本 知明
	姓 名 (英文)	4. LEE, TZONG MING 5. FUKUI TARO 6. NEMOTO TOMOAKI
	國 籍 (中英文)	4. 中華民國 TW 5. 日本 JP 6. 日本 JP
	住居所 (中 文)	4. 新竹市東區金山北二街18號 5. 日本國大阪府平野區平野本町5-10-8 6. 日本國大阪府寢屋川市成田南町11-23
	住居所 (英 文)	4. NO. 18, JINSHANBEI2 ST, HSINCHU CITY 300, TAIWAN (R. O. C.) 5. 5-10-8, HIRANO HONMACHI, HIRANO-KU, OSAKA, JAPAN 6. 11-23, NARITA MINAMIMACHI, NEYAGAWA-SHI, OSAKA, JAPAN
三、 申請人 (共2人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



118461wf.prd

四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

一種晶片封裝結構及其製程，其結構主要係由一載板、一晶片與一封裝材料層所構成。晶片封裝結構製程主要包括：(a) 提供一載板與多個晶片，每個晶片分別具有一主動表面，至少一主動表面上配置有多個凸塊。(b) 使晶片與載板電性連接。(c) 形成一封裝材料層於晶片與載板之間，且覆蓋晶片與載板，其中，封裝材料層位於晶片與載板之間的部份具有一第一厚度，封裝材料層位於晶片上方的部份具有一第二厚度。其中，第二厚度係介於第一厚度的0.5~2倍之間。

伍、(一)、本案代表圖為：第____3____圖

(二)、本案代表圖之元件代表符號簡單說明：

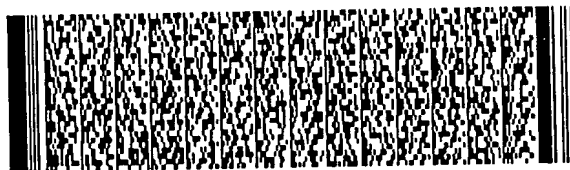
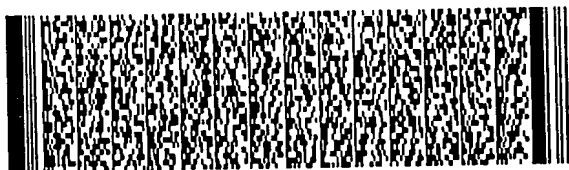
100：晶片封裝結構

150：晶片

152：主動表面

六、英文發明摘要 (發明名稱：Chip package structure and process for fabricating the same)

A chip package structure and process for fabricating the same is disclosed. The chip package structure mainly comprises a carrier, a chip and an encapsulating material layer. The process for fabricating the chip package mainly comprises steps of: (a) providing a carrier and a plurality of chips. Each of chips has an active surface respectively and a plurality of bumps is



四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

160 : 凸塊

170 : 封裝材料層

180 : 載板

190 : 焊球

195 : 被動元件

T1 : 第一厚度

T2 : 第二厚度

六、英文發明摘要 (發明名稱：Chip package structure and process for fabricating the same)

disposed on least one of the active surfaces. (b) electrically connecting the chips and the carrier. (c) forming a encapsulating material layer, which is filled between the chips and the carrier and covers the chips and the carrier. The portion of encapsulating material layer between the chips and the carrier has a first thickness and the portion of encapsulating material layer over the chips has



四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

六、英文發明摘要 (發明名稱：Chip package structure and process for fabricating the same)

a second thickness, the second thickness is between half and double of the first thickness.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

日本 JP

2003/04/22

特願2003-117506

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

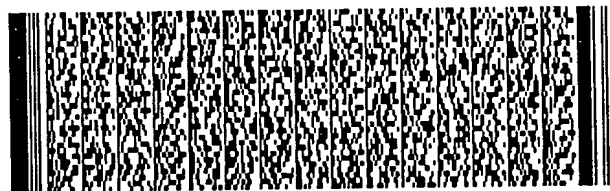
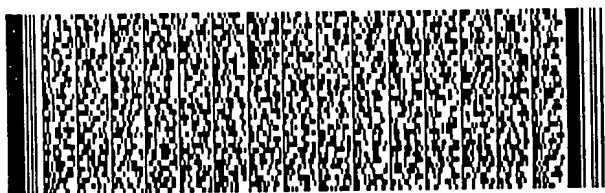
【發明所屬之技術領域】

本發明是有關於一種晶片封裝結構及其製程，且特別是有關於一種行動通訊所需之超薄型(Ultrathin)的晶片封裝(Chip packaging)結構及其製程。

【先前技術】

在高度情報化社會的今日，可攜式電子裝置(Portable electric device)的市場不斷地急速擴張著。晶片封裝技術亦需配合電子裝置的數位化、網路化、區域連接化以及使用人性化的趨勢發展。為達成上述的要求，必須強化電子元件的高速處理化、多功能化、積集(Integration)化、小型輕量化及低價化等多方面的要求，於是晶片封裝技術也跟著朝向微型化、高密度化發展。其中，覆晶接合(Flip Chip bonding, F/C bonding)技術由於係以凸塊(Bump)與載板(Carrier)接合，較習知導線連結(Wire bonding)法大幅縮短了配線長度，有助晶片與載板間訊號傳遞速度的提昇，因此已漸成為高密度封裝的主流。

第1圖繪示為習知採覆晶接合技術的晶片封裝結構之剖面圖。請參照第1圖，晶片50具有一主動表面52，且主動表面52上更配置有多個焊墊(圖未示)。載板80之表面上配置有多個接點(圖未示)。多個凸塊60係配置於主動表面52上之焊墊上，且凸塊60係藉由晶片50之焊墊以及載板80之接點而電性連接於晶片50與載板80之間。其中，載板80遠離晶片50之表面更配置有多個陣列排列之焊球(Solder



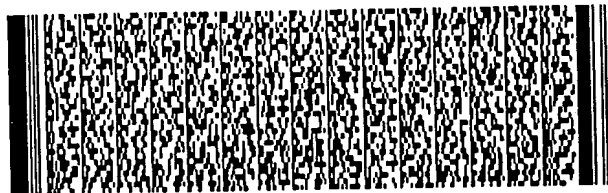
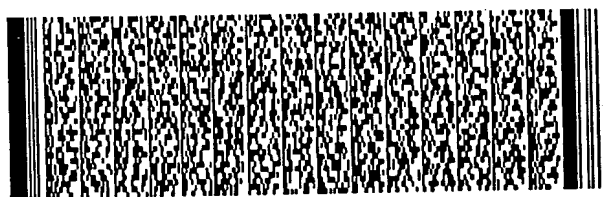
五、發明說明 (2)

ball)60，亦即晶片封裝結構10係採用球格陣列封裝(Ball Grid Array packaging, BGA packaging)，以使晶片封裝結構10能與印刷電路板(Printed circuit board, PCB)電性連接。

為了保護晶片50使其免於受到濕氣的破壞，同時保護連接晶片50與載板80的凸塊60，使其免於受到剪切應力(Shear force)破壞，因此更形成一封裝材料層70於晶片50與載板80之間。習知形成封裝材料層70之方式係利用毛細現象，將黏度較低的液態封裝材料填入晶片50與載板80之間的覆晶接合間隙，之後再將封裝材料硬化。

承上所述，晶片封裝結構10較習知導線連結式的晶片封裝結構具有更佳電氣性能，且厚度亦符合行動通信裝置等元件所需的超薄要求。但是，封裝材料填入覆晶接合間隙所需之時間較長，不符合產業界對產能的要求。而且，由於封裝材料係藉助自然的毛細現象填入覆晶接合間隙，因此晶片50與載板80之間凸塊60的數目、排列方式與覆晶接合間隙的大小，都會影響封裝材料的流動性，導致封裝材料填入不完全而形成空洞，進而影響封裝信賴度(Reliability)。

此外，由於晶片50係直接暴露於外界，因此在標記(Marking)晶片特性於晶片50表面時，或是在藉由真空吸附晶片50以移動晶片封裝結構10時，都很容易造成晶片50的破壞。為改善此缺點，更產生了另一習知晶片封裝結構。第2A圖與第2B圖即繪示另一種習知採覆晶接合技術的



五、發明說明 (3)

晶片封裝結構之剖面圖。請參照第2A圖，晶片封裝結構12係於第1圖之晶片封裝結構10上更增加一頂部模封層(Over mold) 72，以保護晶片50在進行標記與移動時不受到破壞。

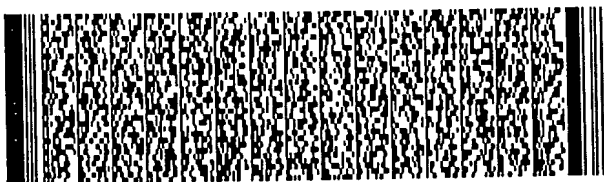
但是，形成頂部模封層72所需之製程時間將相對造成產能下降，而且在封裝材料層70與頂部模封層72之介面亦容易發生介面剝離(Delamination)的現象，進而降低晶片封裝結構12之可靠度。

因此，根據第2A圖之晶片封裝結構12進行改進，第2B圖之晶片封裝結構14亦被揭露。晶片封裝結構14由於係一次形成封裝材料層74，以覆蓋晶片50與載板80並填充封裝材料於晶片50與載板80之間，因此可避免發生介面剝離的缺點。但是，若欲採用移轉注模(Transfer mold)成形法形成封裝材料層74，則一般在晶片上方之封裝材料層74之厚度需設計在0.2毫米以上，以避免膠材填充不完全，如此將無法滿足行動通信裝置所需的超薄要求。

【發明內容】

因此，本發明的目的就是在提供一晶片封裝結構及其製程，適於提升晶片封裝結構之產能與可靠度，且滿足行動通信裝置所需之超薄尺寸。

基於上述目的，本發明提出一種晶片封裝結構，主要係由一載板、一晶片與一封裝材料層所構成。其中，晶片具有一主動表面，主動表面上配置有多個凸塊。晶片係以主動表面朝向載板而覆晶接合於載板上，且電性連接至載



五、發明說明 (4)

板。封裝材料層係填充於晶片與載板之間且覆蓋晶片與載板。

而且，封裝材料層位於晶片與載板之間的部份具有一第一厚度，封裝材料層位於晶片上方的部份具有一第二厚度。其中，第二厚度係介於第一厚度的0.5~2倍之間。

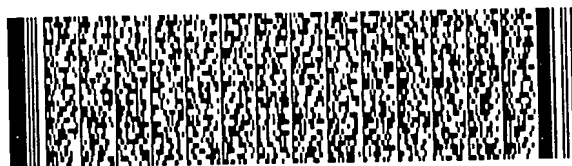
基於上述目的，本發明再提出一種晶片封裝結構，主要係由一載板、一晶片組與一封裝材料層所構成。其中，晶片組係配置於載板上並與載板電性連接。晶片組主要係由多個晶片所構成，且其中至少有一晶片係覆晶接合於載板或其他晶片上，並且維持一覆晶接合間隙。封裝材料層係完全填充於覆晶接合間隙內且覆蓋晶片組與載板。

而且，覆晶接合間隙內之封裝材料層具有一第一厚度，晶片組上方之封裝材料層具有一第二厚度。其中，第二厚度係介於第一厚度的0.5~2倍之間。

另外，本實施例之晶片組主要例如係由一第一晶片與一第二晶片所構成。其中，第一晶片具有一第一主動表面，且第一晶片係以第一主動表面背向載板而配置於載板上。第二晶片具有一第二主動表面，第二主動表面上配置有多數個凸塊。第二晶片係以第二主動表面朝向第一晶片而覆晶接合於第一晶片上，並電性連接至第一晶片。而凸塊係維持覆晶接合間隙。

此外，晶片組例如更包括多條導線。其中，每條導線之兩端例如係分別電性連接第一晶片與載板。

此外，本實施例之晶片組亦可主要由一第一晶片、一



五、發明說明 (5)

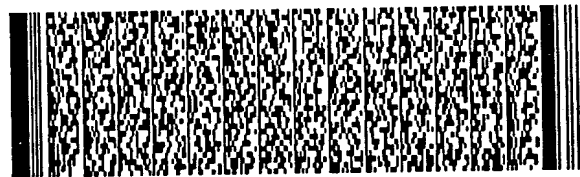
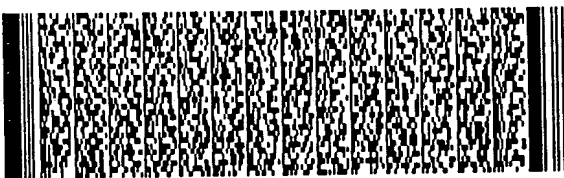
第一晶片與一第三晶片所構成。其中，第一晶片具有一第一主動表面，第一主動表面上配置有多個第一凸塊。第一晶片係以第一主動表面朝向載板而覆晶接合於載板上，並電性連接至載板。第二晶片具有一第二主動表面，且第二晶片係以第二主動表面背向第一晶片而配置於第一晶片上。第三晶片具有一第三主動表面，第三主動表面上配置有多個第二凸塊。第三晶片係以第三主動表面朝向第二晶片而覆晶接合於第二晶片上，並電性連接至第二晶片。而第一凸塊與第二凸塊係維持覆晶接合間隙。

此外，晶片組例如更包括多條導線。其中，每條導線之兩端例如係分別電性連接第二晶片與載板。

在上述晶片封裝結構之兩種實施例中，封裝材料層之最大材料粒徑例如係小於第一厚度之0.5倍。晶片封裝結構例如更包括多個焊球與至少一被動元件。其中，焊球例如係陣列排列地配置於載板未配置晶片之表面上。被動元件例如係配置於載板上，且與載板電性連接。載板例如係一封裝基材或一導線架。

基於上述目的，本發明另提出一種晶片封裝製程，主要包括下列步驟：(a)提供一載板與多個晶片，每個晶片分別具有一主動表面，至少一主動表面上配置有多個凸塊。(b)使晶片與載板電性連接。(c)形成一封裝材料層於晶片與載板之間，且覆蓋晶片與載板。

其中，封裝材料層位於晶片與載板之間的部份具有一第一厚度，封裝材料層位於晶片上方的部份具有一第二厚



五、發明說明 (6)

度。第二厚度係介於第一厚度的0.5~2倍之間。

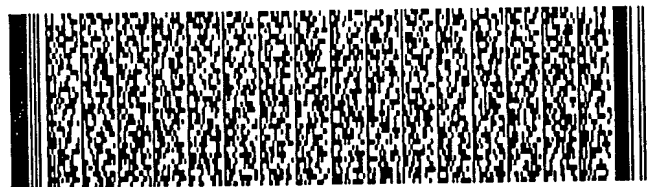
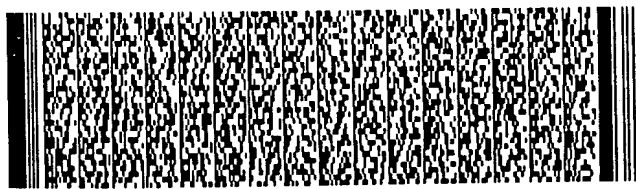
此外，形成封裝材料層的方法例如係一減壓移轉注模成形法。形成封裝材料層後例如更包括對載板進行切割，以形成多個晶片封裝結構。而且，進行減壓移轉注模成形法之壓力例如係保持在20毫米-汞柱(mm-Hg or Torr)以下，溫度例如至少較凸塊之熔點低攝氏10度。封裝材料層之最大材料粒徑係小於第一厚度之0.5倍。

綜上所述，根據本發明所提出之晶片封裝結構及其製程，由於晶片上覆蓋有封裝材料層(亦即頂部模封層)，因此可避免直接標記晶片特性於晶片上，以及移動晶片封裝結構時直接接觸晶片，進而降低晶片損壞的機率。而且，由於晶片上下之封裝材料層係一次完成，因此可縮短製程時間進而增加產能。另外，經過尺寸最佳化設計之頂部模封層厚度，則可確保封裝製程的可靠度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第3圖繪示為根據本發明所提出之第一較佳實施例的晶片封裝結構之剖面圖。請參照第3圖，晶片封裝結構100主要係由一載板180、一晶片150與一封裝材料層170所構成。其中，載板180例如係有機基板、陶瓷基板、可撓性基板等封裝基材，亦或是例如覆晶式四方扁平封裝(Flip Chip Quad Flat Non-leaded packaging, F/C QFN



五、發明說明 (7)

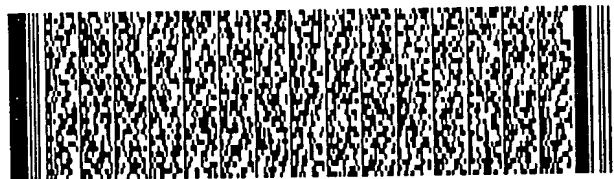
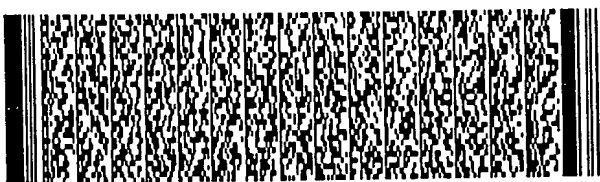
packaging) 等封裝製程所使用之導線架(Lead frame)。載板180之上下表面例如具有多個接點(圖未示)。

晶片150具有一主動表面152，且晶片150係以主動表面152朝向載板180而覆晶接合於載板180之上表面上。晶片150之主動表面上例如配置有多個焊墊(圖未示)，多個凸塊160係配置於晶片150之主動表面152上之焊墊上。晶片150係藉由焊墊上之凸塊160而電性連接至載板180。亦即，本實施例之晶片封裝結構100中至少包括了一晶片150，且此晶片150係採用覆晶接合技術接合於載板180之上表面上。然而，除了此晶片150之外，本實施例亦可在封裝結構100中的載板180上設置其他晶片或其他元件(component)，如電阻、電容等被動元件。

此外，封裝材料層170係填充於晶片150與載板180之間，並且覆蓋晶片150裸露之表面以及載板180之上表面。因此，不論是在後續製程中欲在晶片封裝結構100上標記一些晶片特性，或是欲以真空吸附方式移動晶片封裝結構100時，都不需擔心會破壞晶片150之背面，同時獲得清晰之標記效果。

同樣請參照第3圖，本實施例中，封裝材料層170位於晶片150與載板180之間的部份具有一第一厚度T1，封裝材料層170位於晶片150上方的部份(亦即頂部模封層)具有一第二厚度T2。其中，第二厚度T2係介於第一厚度T1的0.5~2倍之間。

晶片封裝結構100例如更包括多個陣列排列之焊球190



五、發明說明 (8)

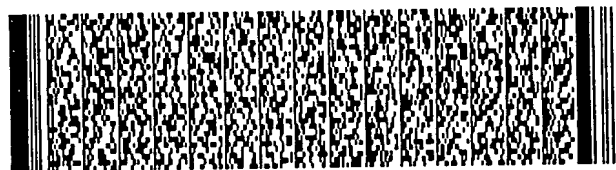
與至少一被動元件195。其中，焊球190例如係配置於載板180下表面之接點上。焊球190係提供晶片封裝結構100之後例如與印刷電路板電性連接之用途。被動元件195例如係配置於載板180之上表面上，且與載板180電性連接。

值得注意的是，本發明不同於第2A圖之習知晶片封裝結構，本發明之晶片封裝結構100中，各部分之封裝材料層係一次成形，因此可避免在分次成形之封裝材料的介面上發生介面剝離。而且，封裝材料層170之最大材料粒徑例如係小於第一厚度之0.5倍。

第4圖與第5圖繪示為根據本發明所提出之第二較佳實施例的晶片封裝結構之剖面圖。請共同參照第4圖與第5圖，晶片封裝結構200主要係由一載板280、一晶片組250與一封裝材料層270所構成。其中，晶片組250主要係由多個晶片所構成，且其中至少有一晶片係以覆晶接合技術接合於載板280或其他晶片上。因此，晶片組250內至少存在一覆晶接合間隙256，覆晶接合間隙256係由採用覆晶接合之晶片上的凸塊所形成。封裝材料層270係充滿於覆晶接合間隙256內，且覆蓋晶片組250所裸露之表面以及載板180上。

而且，覆晶接合間隙256內之封裝材料層270具有一第一厚度 $T1$ ，晶片組250上方之封裝材料層270具有一第二厚度 $T2$ 。其中，第二厚度 $T2$ 係介於第一厚度 $T1$ 的0.5~2倍之間。

請參照第4圖，本較佳實施例之晶片組250主要例如係

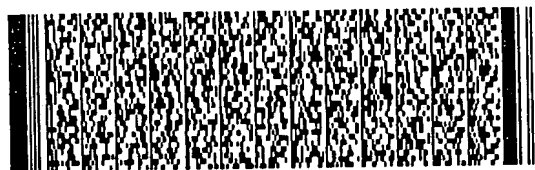
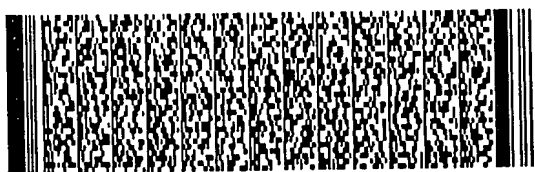


五、發明說明 (9)

由一第一晶片250a與一第二晶片250b所構成。其中，各元件之配置關係如下所述。第一晶片250a具有一第一主動表面252a，且第一晶片250a係以第一主動表面252a朝上而配置於載板280上。第二晶片250b具有一第二主動表面252b，第二主動表面252b上配置有多數個凸塊260。第二晶片250b係以第二主動表面252b朝向第一晶片250a而覆晶接合於第一晶片250a上，並電性連接至第一晶片250a。而凸塊260係維持覆晶接合間隙256。

此外，晶片組250例如更包括多條導線254b。載板280之表面上例如配置有多個接點(圖未示)，第一晶片250a之第一主動表面252a以及第二晶片250b之第二主動表面252b上例如配置有多個焊墊(圖未示)。第二晶片250b之凸塊260即維持覆晶接合間隙256於第一晶片250a與第二晶片250b之間。換言之，第二晶片250b係以覆晶接合技術接合於第一晶片250a之第一主動表面252a上。每條導線254b之兩端例如係分別電性連接第一晶片250a之焊墊與載板280之接點。

請參照第5圖，本較佳實施例之晶片組250例如係由一第一晶片250a、一第二晶片250b與一第三晶片250c所構成。晶片組250例如更包括多條導線254b。其中，各元件之配置關係如下所述。第一晶片250a係配置於載板280上，且第一晶片250a具有一第一主動表面252a，第一主動表面252a上配置有多個第一凸塊260a。第一晶片250a係以第一主動表面252a朝向載板280而覆晶接合於載板280上，

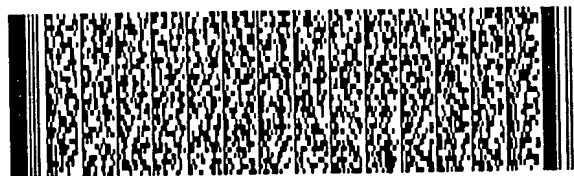


五、發明說明 (10)

並電性連接至載板280。第二晶片250b具有一第二主動表面252b，第二主動表面252b係背向第一晶片250a。而且，多條導線254b係連接於第二晶片250b之第二主動表面252b上的焊墊，以及載板280的接點之間，以電性連接第二晶片250b與載板280。第三晶片250c具有一第三主動表面252c，第三主動表面252c上配置有多個第二凸塊260b。第三晶片250c係以第三主動表面252c朝向第二晶片250b而覆晶接合於第二晶片250b上，並電性連接至第二晶片250b。而第一凸塊260a與第二凸塊260b係維持覆晶接合間隙256。換言之，第三晶片250c係以覆晶接合技術接合於第二晶片250b之第二主動表面252b，第一晶片250a係以覆晶接合技術接合於載板250b之表面。

在本實施例中，由於晶片封裝機構中具有多個覆晶接合間隙，因此晶片組上方之封裝材料層的厚度應控制在大於較小之覆晶接合間隙的0.5倍，以及小於較大之覆晶接合間隙的2倍之間，以符合本發明之特徵精神。

在本發明所提出之第二較佳實施例中，與第一較佳實施例相較主要係增加晶片之數量，同時不限定所有晶片皆採用覆晶接合技術與載板接合。本發明之最主要特徵仍在於晶片封裝結構中至少包括一晶片，且此晶片係採用覆晶接合技術與載板或是其他晶片接合。而且，晶片上方之封裝材料層的厚度係介於覆晶接合間隙的0.5~2倍之間。只要符合上述主要特徵之任何實施樣態，皆應屬於本發明所欲保護之範圍。



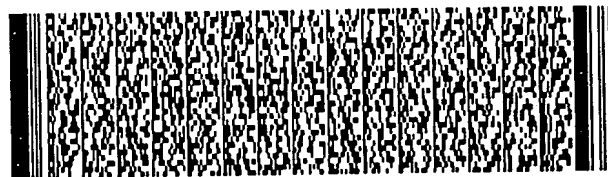
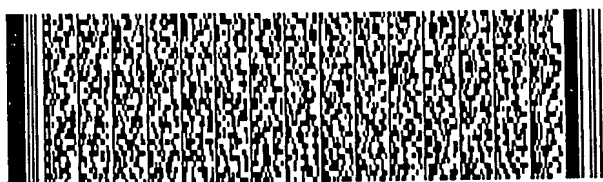
五、發明說明 (11)

以下將介紹本發明所提出之較佳實施例的晶片封裝製程，並且詳細介紹其實施方式。晶片封裝製程主要包括下列步驟：(a)提供一載板與多個晶片，每個晶片分別具有一主動表面，至少一主動表面上配置有多個凸塊。(b)使晶片與載板電性連接。(d)形成一封裝材料層於些晶片與載板上，並使封裝材料層填充於晶片與載板之間。

完成此晶片封裝製程所得到之晶片封裝結構具有下列特徵。第6A圖繪示為根據本發明所提出之較佳實施例的晶片封裝製程之成品的剖面圖。請參照第6A圖，封裝材料層170位於晶片150與載板180之間的部份具有一第一厚度T1，封裝材料層180位於晶片150上方的部份具有一第二厚度T2。第二厚度係介於第一厚度的0.5~2倍之間。

第6B圖繪示為根據本發明所提出之較佳實施例的晶片封裝製程之成品經切割後的剖面圖。請共同參照第6A圖與第6B圖，為符合量產所需，本較佳實施例之封裝製程在形成封裝材料層170後，例如更沿切割線L進行切割，以形成多個晶片封裝結構100。其中，每個晶片封裝結構100至少包括一個晶片150。另外，雖然在第6A圖中繪示之封裝材料層170係連接為一體，但亦可調整製程模具，形成多個互相獨立之封裝材料層170，亦即在切割線部份不形成封裝材料層，以縮短後續切割所需之時間。

值得注意的是，在根據本發明所提出之較佳實施例的晶片封裝製程中，形成封裝材料層的方法例如係一減壓移轉注模成形法。減壓移轉注模成形法係指將欲封裝之晶片

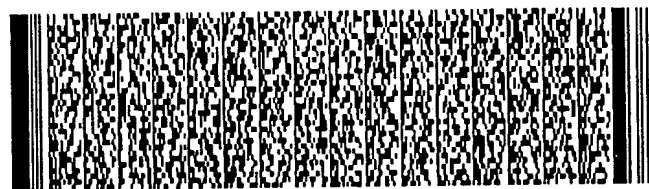
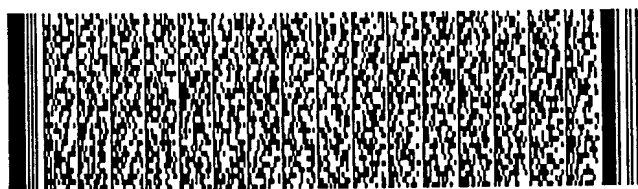


五、發明說明 (12)

結構放入模具，在模具進入減壓狀態後，於模具內導入熱熔融材料，並進行加熱加壓處理使樹脂硬化的一種處理方式。一般移轉注模成形法易造成覆晶接合間隙或頂部模封層的封裝材料填充不足，若使模具內的減壓狀態保持在20毫米-汞柱以下則可獲得較佳之封裝效果，減壓狀態之最佳值在10毫米-汞柱以下。

第7圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構於減壓移轉注模成形模具中形成封裝材料層的剖面圖。請參照第7圖，移轉注模成形設備(圖未示)可依所需的封裝型式放置適合的模具300，模具300主要係由上模具310與下模具320所構成。當上模具310與下模具320合模時，為達到較有效率之真空效果，合模步驟係首先將上模具310、下模具320與模具300內之真空橡膠封環330輕微接觸。接著，以抽真空幫浦(圖未示)經由抽真空管路370進行模具腔340內的減壓真空處理。然後，投入膠餅(tablet)(圖未示)於注膠管路350內，並維持1~5秒以提高空間內的真空度，同時提升模具內之溫度以使膠餅成為熱熔融狀態之封裝材料。最後，將上模具310與下模具320完全密合，同時拉起柱塞(plunger)360，以導入熱熔融狀態之封裝材料，使其分別自第一路徑P1與第二路徑P2填滿於模具腔340內，完成減壓移轉注模成形。

其中，晶片150上方之第一間隙G1係介於晶片150下方之第二間隙G2之0.5~2倍。減壓移轉注模成形在進行時，將成形溫度控制在低於凸塊160之熔點至少攝氏10度為



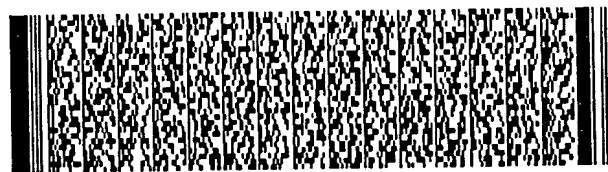
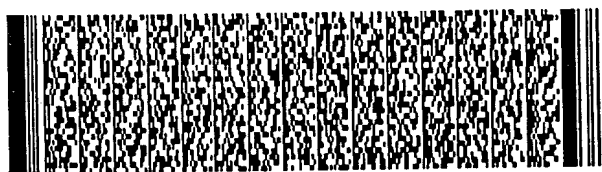
五、發明說明 (13)

佳，成形溫度高過於此時，相對於成形時熔融狀態之封裝材料對晶片150所產生之壓力，凸塊160對於晶片150與載板180覆晶接合強度不夠，容易在減壓移轉注模成形的過程中發生晶片150脫落等現象。

而且，若晶片150上方之第一間隙G1係小於晶片150下方之第二間隙G2之0.5倍，則熔融狀態之封裝材料會先行填滿覆晶接合間隙，並阻塞頂部模封層遠離注膠管路350之一側，使空氣殘留於晶片上方而來不及形成完整之頂部模封層。若晶片150上方之第一間隙G1係大於晶片150下方之第二間隙G2之2倍，則熔融狀態之封裝材料會先行進入晶片150上方形成頂部模封層，並阻塞覆晶接合間隙遠離注膠管路350之一側，使空氣殘留於覆晶接合間隙內而無法以封裝材料完全填充於覆晶接合間隙內。不論是上述兩種狀況其中之一發生，皆會影響晶片封裝結構之可靠度。

習知因錫鉛凸塊所產生的覆晶接合間隙為50~90微米，例如80微米的覆晶接合間隙時，頂部模封層之較佳厚度為40~160微米。若使用金凸塊，覆晶接合間隙一般為10~40微米，例如20微米的覆晶接合間隙時，頂部模封層之較佳厚度以10~40微米的數值最佳。

另外，根據本發明所提出之較佳實施例的晶片封裝製程中，所使用之封裝材料之最大粒徑例如係小於覆晶接合間隙之0.5倍。若所使用之封裝材料之最大粒徑大於覆晶接合間隙之0.5倍時，覆晶接合間隙或頂部模封層的封裝材料填充較為困難，甚至會造成填充不完全的情形。



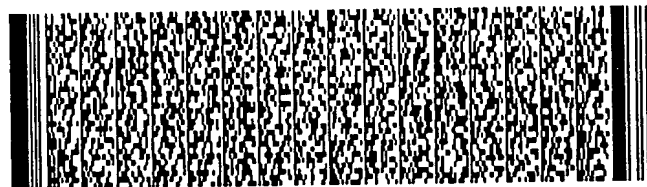
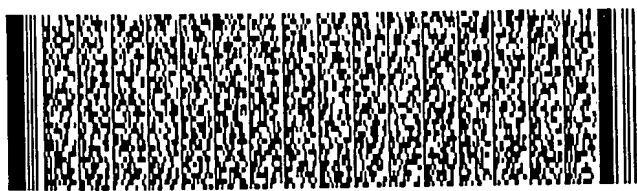
五、發明說明 (14)

若只為獲得薄型晶片封裝結構，如第2A圖所示，只要先形成頂部模封層，再削減頂部模封層之厚度即可。但若是若要達到與本發明相同之40~160微米的頂部模封層厚度，一般的移轉注模成形法(非減壓)及一般的封裝材料(最大粒徑70微米以上)則無法達成，且易造成填充不完全。

本發明所提出之較佳實施例的晶片封裝製程係採用2001年日本專利JP392698所揭露之技術。但是，本發明針對其封裝尺寸進行最佳化，以使晶片封裝結構具有最佳之封裝可靠度。

以下將敘述本發明之實際應用例與對照例的實施條件，以及所獲得之實施結果。

【實例1】將面積大小為8毫米×8毫米，具120個共晶錫鉛凸塊(熔點攝氏183度、間距為0.25毫米)、厚度0.3毫米之晶片，以4×4的矩陣排列方式搭載於面積50毫米×50毫米、厚度0.2毫米的載板上，載板為FR-5材質。形成封裝材料層後各切成10.5毫米×10.5毫米的大小。晶片與載板的覆晶接合間隙為70~75微米，以45毫米×45毫米×0.5毫米大小的成形模具進行注模，並以真空幫浦使空間呈現減壓狀態，再以70kgf/平方公分進行3分鐘的移轉注模成形處理即可獲得第6A圖，接著進行熱硬化處理(post curing)，以攝氏175度烘烤5小時。之後將矩陣狀排列的載板進行切割，便能獲得第3圖已被覆加工的覆晶晶片型晶片尺寸封裝(Chip Scale package, CSP)裝置。



五、發明說明 (15)

移轉注模成形時之其他條件、材料特性如第8圖，裝置評鑑結果如第9圖與第10圖所示。

【對照例1】使用與實例1相同之封裝基板、以一般商品化之液態底部充填材料(underfill)(松下電工(股)製CV5183F)進行覆晶接合間隙之填充。填充材料在一定的條件下硬化後，使用與應用例1相同之模具製造如第2A圖之半導體裝置，其成形結果如第9圖與第10圖所示。

【對照例2】使用與實例1相同之封裝基板，除了沒有以真空幫浦進行減壓處理之外其他均相同，所得晶片封裝結構如第3圖，其結果如第9圖與第10圖所示。

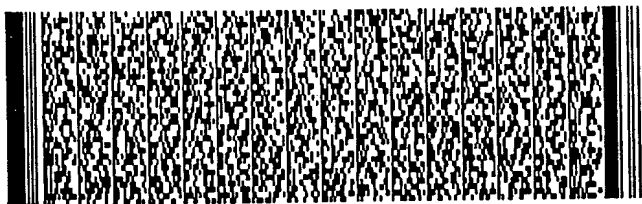
【實例2】除將實例1的減壓程度變更成第8圖所示外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

【實例3】除將實例1的減壓程度變更成第8圖所示外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

【實例4】除將實例1的成形溫度變更成如第8圖所示外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

【實例5】除將實例1的成形溫度變更成如第8圖所示外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

【對照例3】除將實例1所使用之材料最大粒徑變更成如第8圖所示外，其他均相同，所得晶片封裝結構為第3圖，



五、發明說明 (16)

其結果如第9圖與第10圖所示。

【對照例4】除將實例1所使用之材料最大粒徑變更成如第8圖所示外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

【實例6】除將實例1的封裝厚度由0.5毫米變更成0.42毫米外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

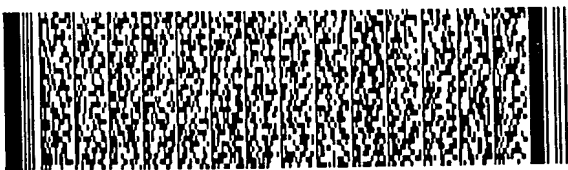
【對照例5】除將實例1，6的封裝厚度變更成0.40毫米外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

【對照例6】除將實例1，6的封裝厚度變更成0.65毫米外，其他均相同，所得晶片封裝結構為第3圖，其結果如第9圖與第10圖所示。

【實例7】將0.25毫米間距 800個共晶錫鉛凸塊(熔點攝氏183度)列狀排列形成的面積8毫米×8毫米、厚度0.2毫米的晶片，搭載於面積35毫米×35毫米、厚度0.4毫米的載板上，載板為FR-5材質。晶片與載板的覆晶接合間隙為80~85微米，以27×27×0.4毫米空間大小的成形模具進行注模，並在實例1相同的條件下進行處理，即可獲得具頂部模封層之覆晶晶片型BGA，裝置評鑑之結果如第9圖與第10圖所示。

綜上所述，根據本發明所提出之較佳實施例的晶片封裝結構及其製程具有下列優點：

(1) 晶片上方覆蓋有封裝材料層，可維持良好的標記



五、發明說明 (17)

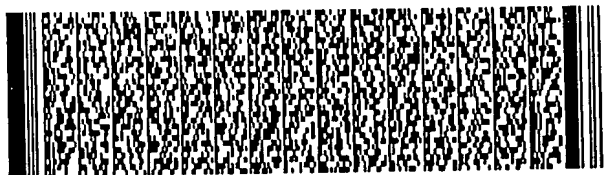
效果，而不需擔心造成晶片之破壞，移動晶片封裝結構時亦同。

(2) 滿足行動通信裝置所需之超薄尺寸。

(3) 封裝材料層不會有空洞形成，具有極佳封裝可靠度。

(4) 縮短封裝所需時間，進而提高封裝產能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示為習知採覆晶接合技術的晶片封裝結構之剖面圖。

第2A圖與第2B圖繪示為另一種習知採覆晶接合技術的晶片封裝結構之剖面圖。

第3圖繪示為根據本發明所提出之第一較佳實施例的晶片封裝結構之剖面圖。

第4圖與第5圖繪示為根據本發明所提出之第二較佳實施例的晶片封裝結構之剖面圖。

第6A圖繪示為根據本發明所提出之較佳實施例的晶片封裝製程之成品的剖面圖。

第6B圖繪示為根據本發明所提出之較佳實施例的晶片封裝製程之成品經切割後的剖面圖。

第7圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構於減壓移轉注模成形模具中形成封裝材料層的剖面圖。

第8圖繪示為移轉注模成形時之其他條件與材料特性如。

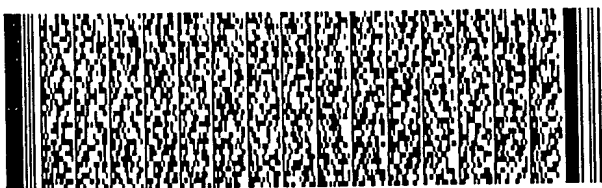
第9圖繪示為移轉注模成形後所得之頂部模封層厚度(斷面切割之測定結果)。

第10圖繪示為移轉注模成形後所得之結果(含裝置性能與信賴度)。

【圖式標示說明】

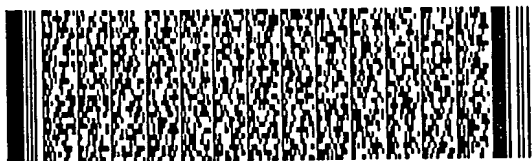
10、12、14：晶片封裝結構

50：晶片



圖式簡單說明

- 52 : 主動表面
- 60 : 凸塊
- 70、74 : 封裝材料層
- 72 : 頂部模封層
- 80 : 載板
- 90 : 焊球
- 100、200 : 晶片封裝結構
- 150 : 晶片
- 152 : 主動表面
- 160、260 : 凸塊
- 170、270 : 封裝材料層
- 180、280 : 載板
- 190、290 : 焊球
- 195、295 : 被動元件
- 250a : 第一晶片
- 250b : 第二晶片
- 250c : 第三晶片
- 252a : 第一主動表面
- 252b : 第二主動表面
- 252c : 第三主動表面
- 254b : 導線
- 256 : 覆晶接合間隙
- 260a : 第一凸塊
- 260b : 第二凸塊



圖式簡單說明

T1 : 第一厚度

T2 : 第二厚度

300 : 模具

310 : 上模具

320 : 下模具

330 : 真空橡膠封環

340 : 模具腔

350 : 注膠管路

360 : 柱塞

370 : 抽真空管路

P1 : 第一路徑

P2 : 第二路徑

G1 : 第一間隙

G2 : 第二間隙

L : 切割線



六、申請專利範圍

1. 一種晶片封裝結構，至少包括：

一載板；

一晶片，具有一主動表面，該主動表面上配置有多數個凸塊，該晶片係以該主動表面朝向該載板而覆晶接合於該載板上，並電性連接至該載板；以及

一封裝材料層，覆蓋該晶片與該載板上且填充於該晶片與該載板之間，其中該封裝材料層位於該晶片與該載板之間的部份具有一第一厚度，該封裝材料層位於該晶片上方的部份具有一第二厚度，該第二厚度係介於該第一厚度的0.5~2倍之間。

2. 如申請專利範圍第1項所述之晶片封裝結構，其中該封裝材料層之最大材料粒徑係小於該第一厚度之0.5倍。

3. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個陣列排列之焊球，配置於該載板遠離該晶片之表面上。

4. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一被動元件，配置於該載板上且與該載板電性連接。

5. 如申請專利範圍第1項所述之晶片封裝結構，其中該載板包括一封裝基材與一導線架其中之一。

6. 一種晶片封裝結構，至少包括：

一載板；

一晶片組，配置於該載板上且與該載板電性連接，該



六、申請專利範圍

晶片組包括多數個晶片，該些晶片至少其中之一係覆晶接合於該載板與該些晶片其中之一上，並且維持一覆晶接合間隙；以及

一封裝材料層，充滿於該覆晶接合間隙內，且覆蓋該晶片組與該載板，其中該覆晶接合間隙內之該封裝材料層具有一第一厚度，該晶片組上方之該封裝材料層具有一第二厚度，該第二厚度係介於該第一厚度的0.5~2倍之間。

7. 如申請專利範圍第6項所述之晶片封裝結構，其中該封裝材料層之最大材料粒徑係小於該第一厚度之0.5倍。

8. 如申請專利範圍第6項所述之晶片封裝結構，其中該些晶片至少包括：

一第一晶片，具有一第一主動表面，且該第一晶片係以該第一主動表面背向該載板而配置於該載板上；以及

一第二晶片，具有一第二主動表面，該第二主動表面上配置有多數個凸塊，該第二晶片係以該第二主動表面朝向該第一晶片而覆晶接合於該第一晶片上，並電性連接至該第一晶片，其中該些凸塊係維持該覆晶接合間隙。

9. 如申請專利範圍第8項所述之晶片封裝結構，其中該晶片組更包括多數個導線，該些導線之兩端分別電性連接於該第一晶片與該載板。

10. 如申請專利範圍第6項所述之晶片封裝結構，其中該些晶片至少包括：

一第一晶片，具有一第一主動表面，該第一主動表面



六、申請專利範圍

上配置有多數個第一凸塊，該第一晶片係以該第一主動表面朝向該載板而覆晶接合於該載板上，並電性連接至該載板；

一第二晶片，具有一第二主動表面，該第二晶片係以該第二主動表面背向該第一晶片而配置於該第一晶片上；以及

一第三晶片，具有一第三主動表面，該第三主動表面上配置有多數個第二凸塊，該第三晶片係以該第三主動表面朝向該第二晶片而覆晶接合於該第二晶片上，並電性連接至該第二晶片，其中該些第一凸塊與該些第二凸塊係維持該覆晶接合間隙。

11. 如申請專利範圍第10項所述之晶片封裝結構，其中該晶片組更包括多數個導線，該些導線之兩端分別電性連接於該第二晶片與該載板。

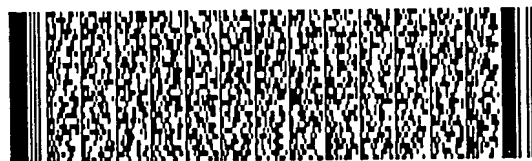
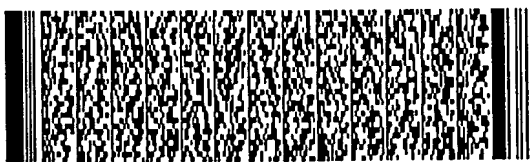
12. 如申請專利範圍第6項所述之晶片封裝結構，更包括多數個陣列排列之焊球，配置於該載板遠離該第一晶片之表面上。

13. 如申請專利範圍第6項所述之晶片封裝結構，更包括至少一被動元件，配置於該載板上且電性連接該載板。

14. 如申請專利範圍第6項所述之晶片封裝結構，其中該載板包括一封裝基材與一導線架其中之一。

15. 一種晶片封裝製程，至少包括下列步驟：

提供一載板與多數個晶片，每一該些晶片分別具有一主動表面，至少一該些主動表面上配置有多數個凸塊；



六、申請專利範圍

使該些晶片與該載板電性連接；以及

形成一封裝材料層於該些晶片以及該載板上，並使該封裝材料層填充於該些晶片與該載板之間，其中該封裝材料層位於該些晶片與該載板之間的部份具有一第一厚度，該封裝材料層位於該些晶片上方的部份具有一第二厚度，該第二厚度係介於該第一厚度的0.5~2倍之間。

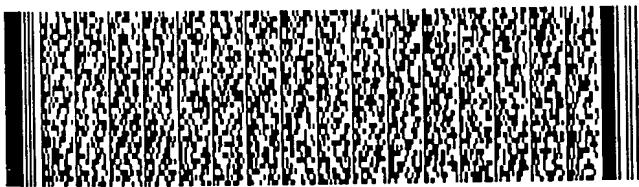
16. 如申請專利範圍第15項所述之晶片封裝製程，其中形成該封裝材料層的方法包括一減壓移轉注模成形法。

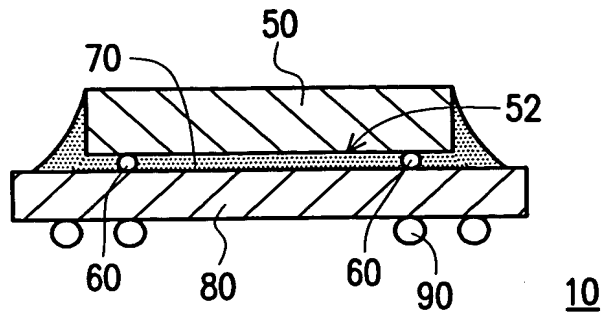
17. 如申請專利範圍第16項所述之晶片封裝製程，其中形成該封裝材料層後，更包括對該載板進行切割，以形成多數個晶片封裝結構。

18. 如申請專利範圍第16項所述之晶片封裝製程，其中進行該減壓移轉注模成形法之壓力保持在20毫米-汞柱以下。

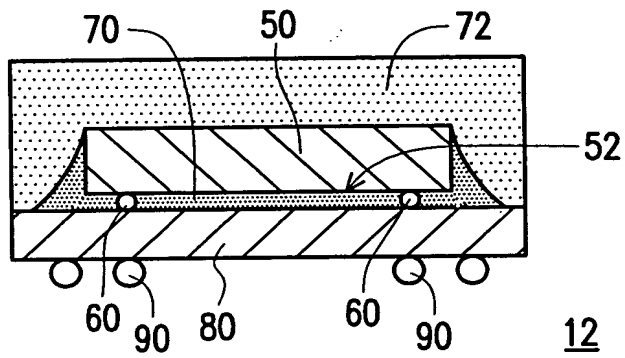
19. 如申請專利範圍第16項所述之晶片封裝製程，其中進行該減壓移轉注模成形法之溫度，至少較該凸塊之熔點低攝氏10度。

20. 如申請專利範圍第16項所述之晶片封裝製程，其中該封裝材料層之最大材料粒徑係小於該第一厚度之0.5倍。

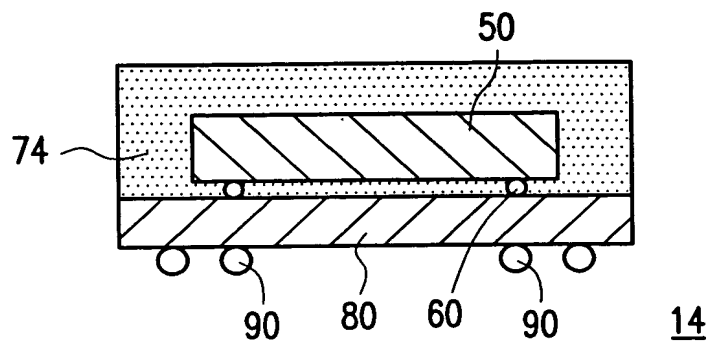




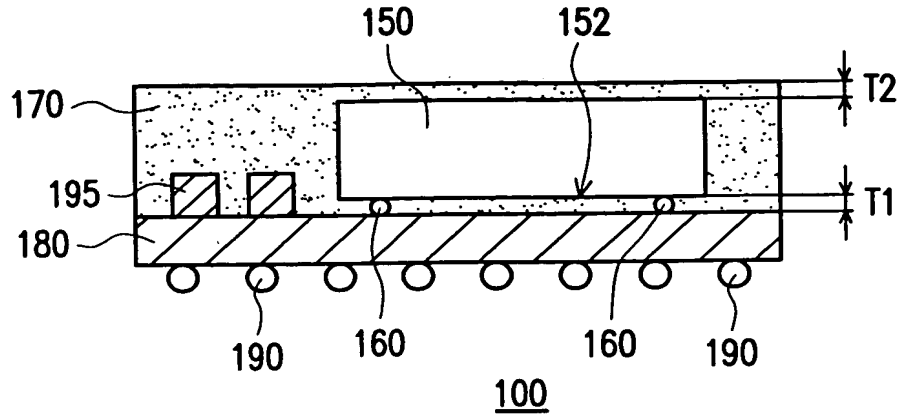
第 1 圖



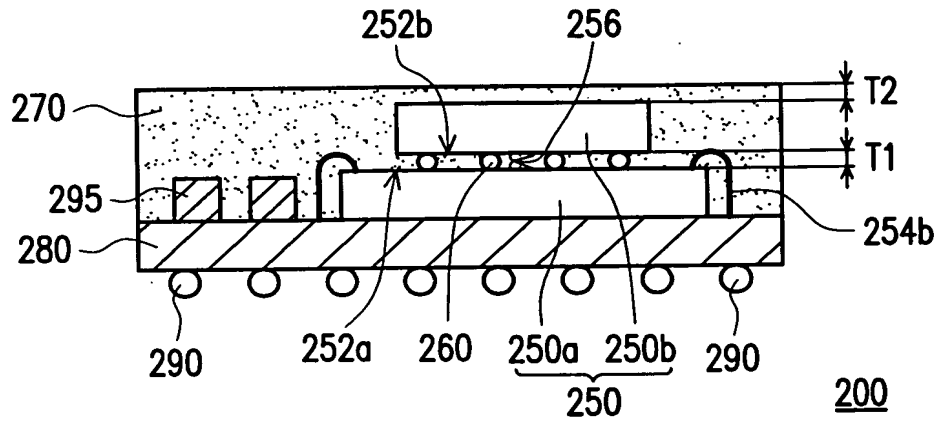
第 2A 圖



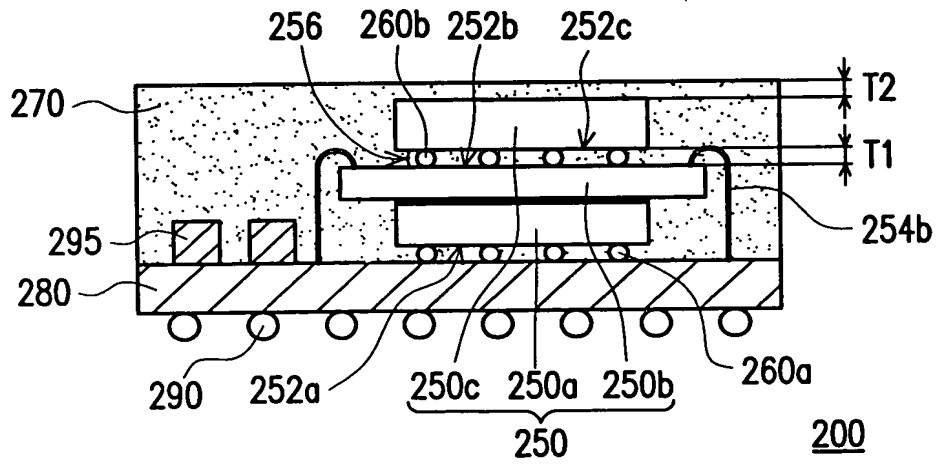
第 2B 圖



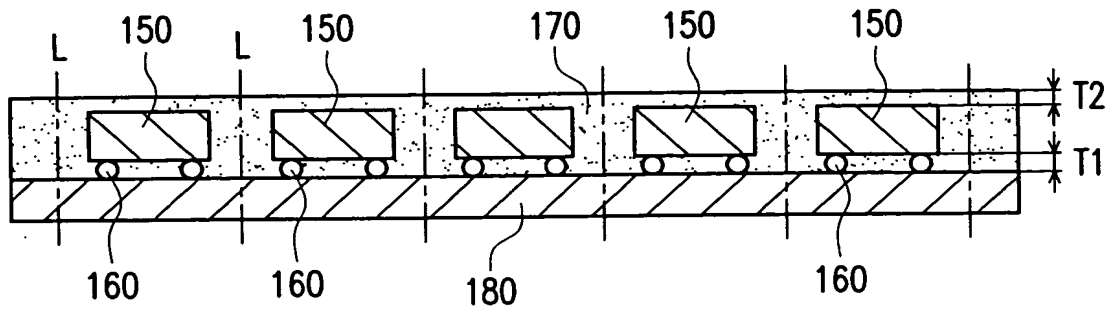
第 3 圖



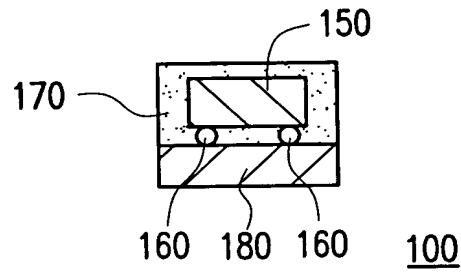
第 4 圖



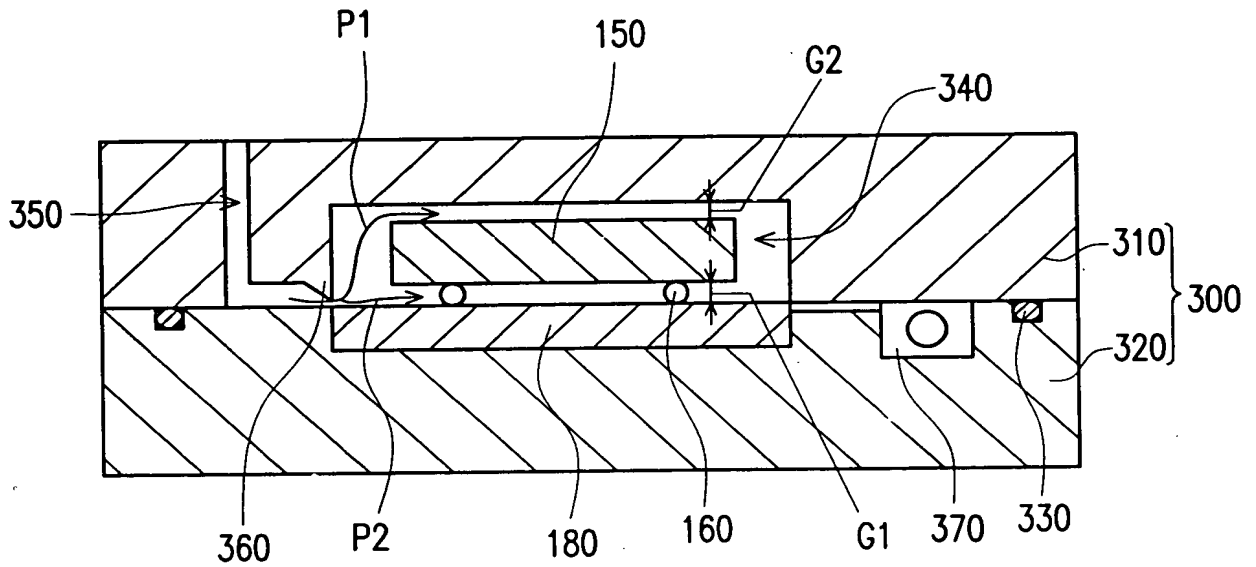
第 5 圖



第 6A 圖



第 6B 圖



第 7 圖

	實例 1,6,7 對照例 1,5	對照例 2	實例 2	實例 3	實例 4	實例 5	對照例 3	對照例 4
成形溫度	攝氏 170 度	攝氏 170 度	攝氏 170 度	攝氏 170 度	攝氏 160 度	攝氏 180 度	攝氏 170 度	攝氏 170 度
真空度	1 毫米-水銀柱	常壓	15 毫米-水銀柱	80 毫米-水銀柱	1 毫米-水銀柱	1 毫米-水銀柱	1 毫米-水銀柱	1 毫米-水銀柱
封裝材料種類(silica)*1	A	A	A	A	A	A	B	C

*1 封裝材料 A：平均粒徑 5 微米 最大粒徑 21 微米

封裝材料 B：平均粒徑 13 微米 最大粒徑 40 微米

封裝材料 C：平均粒徑 13 微米 最大粒徑 74 微米

第 8 圖

	實例 1	對照例 1	對照例 2	實例 2	實例 3	實例 4	實例 5	對照例 3	對照例 4	實例 6
頂部模封層厚度(毫米)	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.13	0.05
指數*2	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	0.7
	對照例 5	對照例 6	實例 7							
頂部模封層厚度(毫米)	0.03	0.28	0.12							
指數*2	0.4	3.9	1.5							

* 2 頂部模封層厚度/覆晶接合間隙

第 9 圖

	實例 1	對照例 1	對照例 2	實例 2	實例 3	實例 4	實例 5	對照例 3	對照例 4	實例 6
裝置厚度 * 3(毫米)	0.7	0.7	0.7	0.7	0.7	0.7	0.7	0.7	0.7	0.62
覆晶接合間隙填充性 * 4	100%	100%	15%	99%	97%	100%	100%	40%	30%	100%
頂部模封層填充性 * 4	100%	100%	40%	95%	90%	100%	100%	70%	50%	100%
耐焊性 * 5	◎	○	X	○	○	◎	◎	X	X	◎
溫度循環信賴性 * 6	2000 循環	500 循環	--	2000 循環	2000 循環	2000 循環	2000 循環	--	--	2000 循環
信賴性 * 7	>500 小時	168 小時	--	>500 小時	>500 小時	>500 小時	>500 小時	--	--	>500 小時
其他							※			

	對照例 5	對照例 6	實例 7
裝置厚度 * 3(毫米)	0.6	0.85	0.8
覆晶接合間隙填充性 * 4	100%	100%	97%
頂部模封層填充性 * 4	60%	100%	100%
耐焊性 * 5	◎	◎	◎
溫度循環信賴性 * 6	2000 循環	2000 循環	2000 循環
信賴性 * 7	>500 小時	>500 小時	500 小時
其他			

* 3 實測封裝基材厚度 + 模封厚度

* 4 相對於晶片面積，材料為填充部分的面積比例（填充率）平均值

頂部模封填充性以目視鑑定後剝離基板

覆晶接合間隙之封裝材料填充性同樣以目視測之。

* 5 耐焊性：◎：JEDEC level II 合格 ○：JEDEC level III 合格

(n=11) X：JEDEC level III 不合格

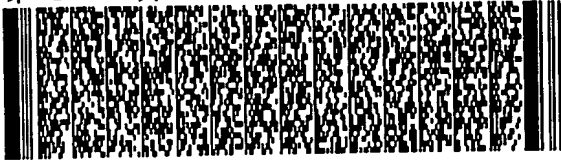
* 6 溫度循環信賴性：氣體環境-攝氏 65 度/15 分～室溫/5 分～攝氏 150 度/15 分(n=11)

* 7 PCT 信賴性 攝氏 121 度/2 大氣壓

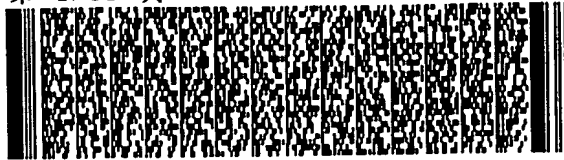
※ 以成形總數 32 裝置中 2 裝置晶片不良/剩餘良品 進行評鑑

第 10 圖

第 1/31 頁



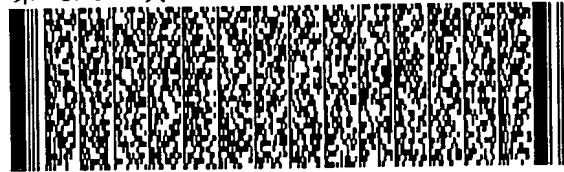
第 1/31 頁



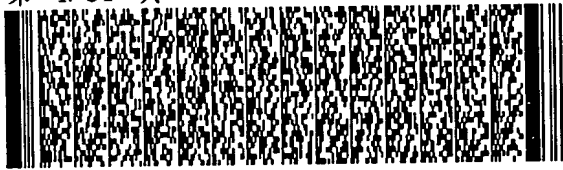
第 2/31 頁



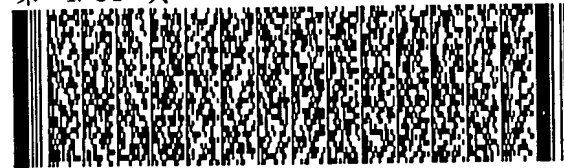
第 3/31 頁



第 4/31 頁



第 4/31 頁



第 5/31 頁



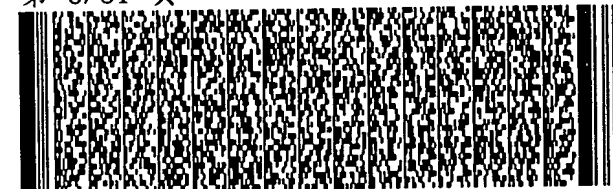
第 6/31 頁



第 7/31 頁



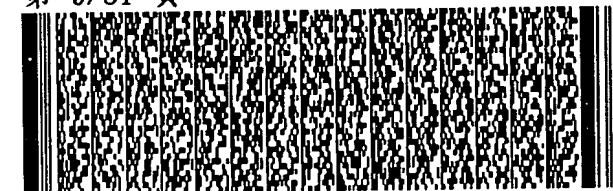
第 8/31 頁



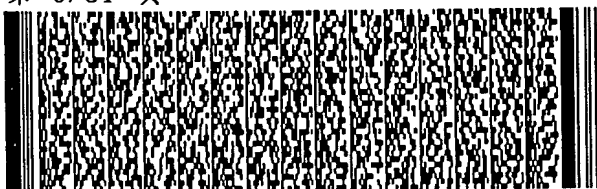
第 8/31 頁



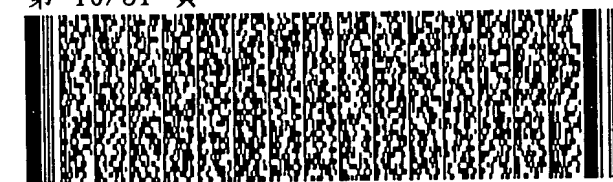
第 9/31 頁



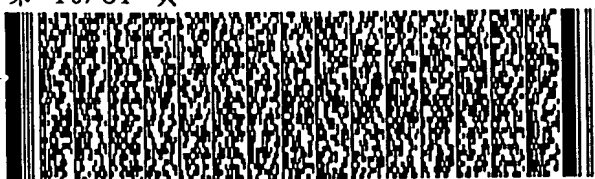
第 9/31 頁



第 10/31 頁

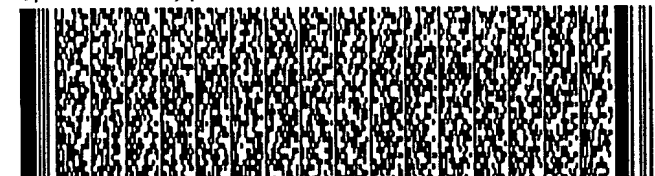
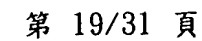
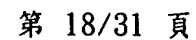
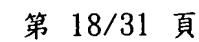
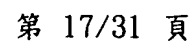
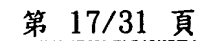
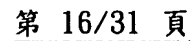
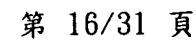
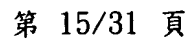
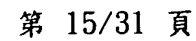
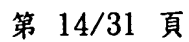
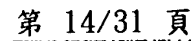
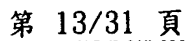
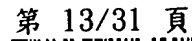
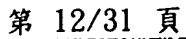
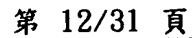


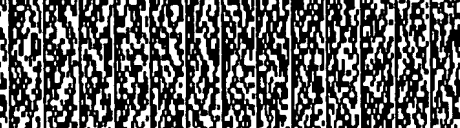
第 10/31 頁




第 11/31 頁







100



A large, dense, black and white photograph of a forest floor covered in fallen leaves and branches, with a person's legs and feet visible in the foreground.



